

(19)



JAPANESE PATENT OFFICE

# PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10295074 A

(43) Date of publication of application: 04.11.1998

(51) Int. Cl. H02M 3/155

(21) Application number: 09100162

(22) Date of filing: 17.04.1997

(71) Applicant: FUJITSU LTD

FUJITSU VLSI LTD

(72) Inventor: NAGAYA YOSHIHIRO

MATSUMOTO TAKASHI

MATSUYAMA TOSHIYUKI

(54) DC-TO-DC CONVERTER

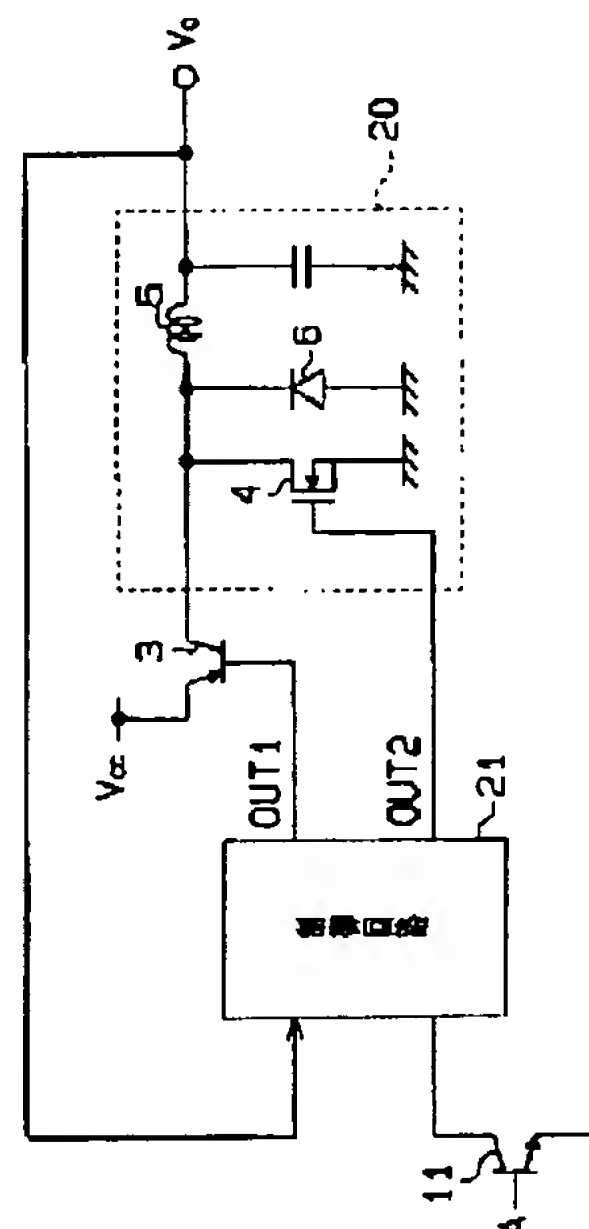
tifying transistor 4 is turned off.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a DC/DC converter which is composed of a synchronous rectifying type switching regulator and which proactively prevents the undershoot of an output voltage from being produced, while the output can be controlled in accordance with an external output control signal.

**SOLUTION:** An output transistor 3 performs a switching operation in accordance with the output signal OUT1 of a control circuit 21. A smoothing circuit 20 smooths the output current of the output transistor 3 and outputs a DC current. A synchronous rectifying transistor 4 is connected in parallel to a flywheel diode 6 and turned on, when the output transistor 3 is turned off based on an output signal OUT2 of the control circuit 21. An output control circuit 11 which turns off the output transistor 3, based on an output control signal A is connected to the control circuit 21. When the output transistor 3 is turned off, the control circuit 21 outputs the output signal OUT2 by which the synchronous rec-



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-295074

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl.<sup>6</sup>  
H 0 2 M 3/155

識別記号

F I  
H 0 2 M 3/155

H

審査請求 未請求 請求項の数5 O L (全 10 頁)

(21)出願番号 特願平9-100162

(22)出願日 平成9年(1997)4月17日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号

(71)出願人 000237617  
富士通ヴィエルエスアイ株式会社  
愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 永治 好宏  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

最終頁に続く

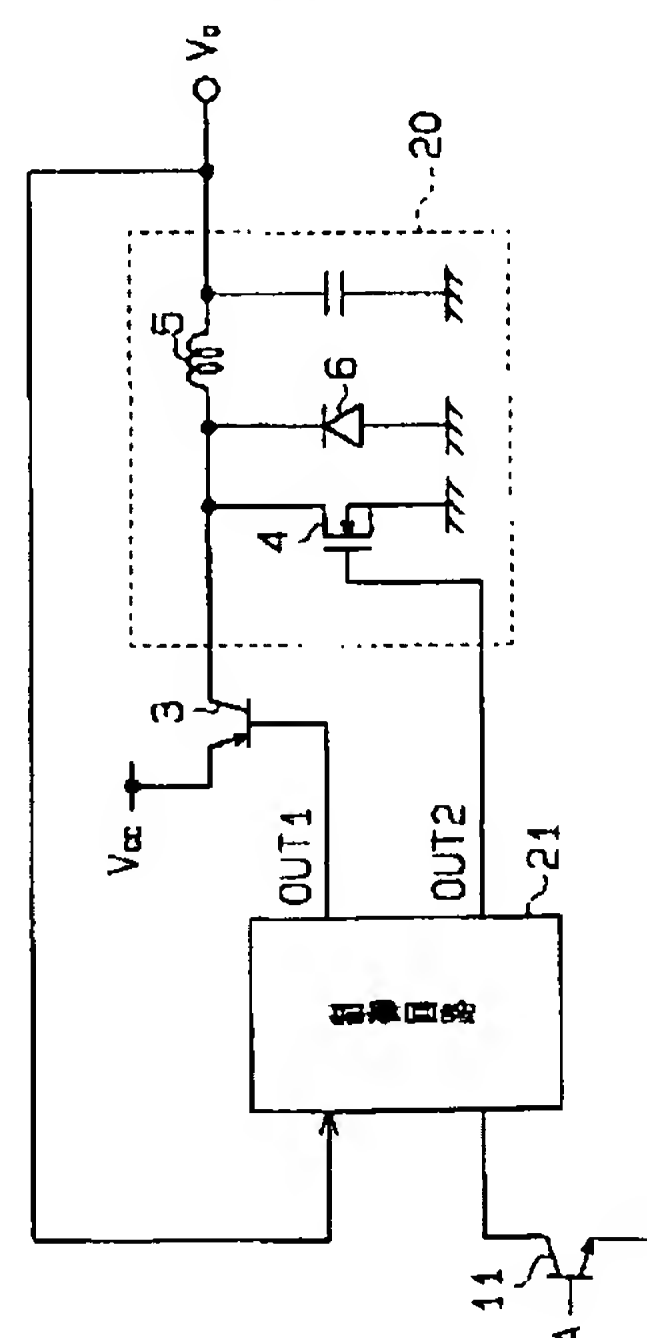
(54)【発明の名称】 DC/DCコンバータ

(57)【要約】

【課題】同期整流型スイッチングレギュレータで構成したDC/DCコンバータにおいて、外部から入力される出力制御信号に基づいて出力制御を可能としながら、出力電圧のアンダーシュートの発生を未然に防止し得るDC/DCコンバータを提供する。

【解決手段】出力トランジスタ3は、制御回路21の出力信号OUT1に基づいてスイッチング動作する。平滑回路20は、出力トランジスタ3の出力電流を平滑して、直流電圧を出力する。同期整流用トランジスタ4は、フライホイールダイオード6に並列に接続され、制御回路21の出力信号OUT2に基づいて、出力トランジスタ3のオフ動作時にオンされる。制御回路21には、出力制御信号Aに基づいて、出力トランジスタ3をオフさせる出力制御回路11が接続される。制御回路21は、出力トランジスタ3をオフさせるときは、同期整流用トランジスタ4をオフさせる出力信号OUT2を出力する。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 制御回路から出力される第一の出力信号に基づいてスイッチング動作する出力トランジスタと、前記出力トランジスタの出力電流を平滑して、直流電圧を出力する平滑回路と、前記平滑回路を構成するフライホイールダイオードに並列に接続され、前記制御回路から出力される第二の出力信号に基づいて、前記出力トランジスタのオフ動作時にオンされて、フライホイールダイオードの平滑効率を向上させる同期整流用トランジスタと、前記制御回路は、前記平滑回路から出力される直流出力電圧を一定に維持するように、前記出力トランジスタのオン時間を制御することと、前記制御回路には、出力制御信号に基づいて、前記出力トランジスタをオフさせる出力制御回路を接続したDC/DCコンバータであって、前記制御回路は、前記出力制御信号の入力に基づいて出力トランジスタをオフさせるときは、前記同期整流用トランジスタをオフさせる第二の出力信号を出力することを特徴とするDC/DCコンバータ。

【請求項2】 制御回路から出力される第一の出力信号に基づいてスイッチング動作する出力トランジスタと、前記出力トランジスタと出力端子との間に介在される出力コイルと、前記出力端子と低電位側電源との間に接続される容量と、前記出力トランジスタと低電位側電源との間に接続されるフライホイールダイオードとから構成されて、前記出力トランジスタの出力電流を平滑して、直流出力電圧を出力する平滑回路と、前記フライホイールダイオードに並列に接続され、前記制御回路から出力される第二の出力信号に基づいて、前記出力トランジスタのオフ動作時にオンされて、平滑効率を向上させる同期整流用トランジスタと、前記制御回路は、前記平滑回路から出力される直流出力電圧を一定に維持するように、前記出力トランジスタのオン時間を制御することと、前記制御回路には、出力制御信号に基づいて、前記出力トランジスタをオフさせる出力制御回路を備えたDC/DCコンバータであって、前記制御回路は、あらかじめ設定された基準電圧とソフトスタート回路の出力電圧のうち、いずれかの低レベルの電圧と、前記直流出力電圧との電位差に基づく信号を出力する電圧制御用アンプと、前記電圧制御用アンプの出力信号と発振器の出力信号とを比較して、前記第一の出力信号を生成して出力する第一のPWM比較器と、前記電圧制御用アンプの出力信号と発振器の出力信号とを比較して、前記第二の出力信号を生成して出力する第二のPWM比較器とを備え、前記ソフトスタート回路は、高電位側電源と低電位側電

源との間で直列に接続される電流源と容量とで構成し、電源の投入に基づいて電流源から出力される定電流で充電される容量の充電電圧を前記電圧制御用アンプに出力し、

前記出力制御回路は、前記出力制御信号に基づいてオンされて前記容量の充電電荷を放電させるスイッチング素子で構成し、

前記第二のPWM比較器には、前記スイッチング素子のオン動作に基づいて、前記第二の出力信号で前記同期整流用トランジスタをオフさせる出力ノイズ防止回路を接続したことを特徴とするDC/DCコンバータ。

【請求項3】 前記出力ノイズ防止回路は、前記ソフトスタート回路の容量の充電電圧を前記第二のPWM比較器に入力して、該容量の充電電荷が放電されたとき、前記発振器の出力信号に関わらず、該容量の充電電圧と前記電圧制御用アンプの出力信号との比較に基づいて、前記同期整流用トランジスタをオフさせる第二の出力信号を出力する構成としたことを特徴とする請求項2記載のDC/DCコンバータ。

【請求項4】 前記出力ノイズ防止回路は、前記第二のPWM比較器の出力信号をスイッチ回路を介して前記同期整流用トランジスタに第二の出力信号として出力し、前記スイッチ回路は前記ソフトスタート回路の容量が放電されたとき非導通となって、同期整流用トランジスタをオフさせる構成としたことを特徴とする請求項2記載のDC/DCコンバータ。

【請求項5】 前記出力ノイズ防止回路は、前記第二のPWM比較器にバイアス電流を供給するバイアス回路と該第二のPWM比較器との間にスイッチ回路を介在させ、該スイッチ回路は前記ソフトスタート回路の容量が放電されたとき非導通となって、第二のPWM比較器を不活性化することにより前記同期整流用トランジスタをオフさせる構成としたことを特徴とする請求項2記載のDC/DCコンバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、同期整流型DC/DCコンバータに関するものである。バッテリーを電源として動作する携帯用電子機器では、バッテリー電圧とは異なる直流電圧を内部回路に供給する必要がある場合には、バッテリーを電源として動作するDC/DCコンバータで所望の直流電圧を生成している。バッテリーの長寿命化を図るために、DC/DCコンバータとして同期整流型スイッチングレギュレータ回路を使用したものがある。このような同期整流型スイッチングレギュレータ回路から出力される直流電圧に基づいて、内部回路を安定して動作させる必要がある。

## 【0002】

【従来の技術】従来の同期整流型スイッチングレギュレータ回路の一例を図6に示す。このスイッチングレギュ

レータ回路1は、1チップの集積回路上に形成される制御回路2と、多数の外付け素子とから構成される。

【0003】前記制御回路2の第一の出力信号OUT1は、PNPトランジスタで構成される出力トランジスタ3のベースに inputs され、その出力トランジスタ3のエミッタは電源Vccに接続される。

【0004】前記出力トランジスタ3のコレクタは、NチャネルMOSトランジスタで構成される同期整流用トランジスタ4のドレインに接続され、同トランジスタ4のゲートには、前記制御回路2の第二の出力信号OUT2が inputs され、ソースはグランドGNDに接続される。

【0005】前記出力トランジスタ3のコレクタは、出力コイル5を介して出力端子Toに接続される。また、前記出力トランジスタ3のコレクタはフライホイールダイオード6のカソードに接続され、そのダイオード6のアノードはグランドGNDに接続される。

【0006】前記出力端子Toは、容量7を介してグランドGNDに接続されるとともに、抵抗R1、R2を介してグランドGNDに接続される。前記抵抗R1、R2は、出力端子Toから出力される出力電圧Voを検出するために、その抵抗値に基づいて出力電圧Voを分圧するものである。そして、その分圧電圧が前記制御回路2内の電圧制御用アンプ8のマイナス側入力端子に inputs 信号INとして inputs される。

【0007】前記電圧制御用アンプ8は、第一及び第二のプラス側入力端子を備え、両プラス側入力端子の入力電圧のうち、より低レベルの入力電圧と、マイナス側入力端子の入力電圧との電位差に基づく出力電圧を出力する。すなわち、いずれかのプラス側入力端子電圧がマイナス側入力端子電圧より高くなれば、その電位差に応じて出力電圧が上昇し、いずれかのプラス側入力端子電圧がマイナス側入力端子電圧より低くなれば、その電位差に応じて出力電圧が低下する。

【0008】前記電圧制御用アンプ8の第一のプラス側入力端子は、電源Vccの供給に基づいて定電流Iを出力する電流源9に接続されるとともに、容量10を介してグランドGNDに接続される。前記電流源9と容量10とで、電源Vccの投入時に第一の入力端子電圧CSを所定の時定数で緩やかに立ち上げるソフトスタート回路が構成される。

【0009】前記容量10にはNPNトランジスタで構成される出力制御用トランジスタ11が並列に接続され、同トランジスタ11のベースには出力制御信号Aが inputs される。そして、出力制御信号AがHレベルとなると、出力制御用トランジスタ11がオンされて、容量10の充電電荷が出力制御用トランジスタ11を介してグランドGNDに放電されることにより、前記電圧制御用アンプ8の第一のプラス側入力端子電圧CSがグランドGNDレベルまで引き下げられる。出力制御用トランジスタ11はソフトスタート回路を利用して、出力電圧Vo

を制御する出力制御回路を構成する。

【0010】前記電圧制御用アンプ8の第二のプラス側入力端子には、基準電圧Vsが inputs される。基準電圧Vsは、電源Vccより低い電圧レベルで、所望の出力電圧Voを抵抗R1、R2で分圧した電圧に設定される。

【0011】前記電圧制御用アンプ8の出力信号は、第一のPWM比較器12のマイナス側入力端子に inputs される。また、第二のPWM比較器13のマイナス側入力端子には、電圧制御用アンプ8の出力信号が、昇圧用電源14により、常時一定の電圧幅で昇圧されて inputs される。

【0012】前記電圧制御用アンプ8の出力信号は、外部素子として接続される位相補償容量17を介して、同電圧制御用アンプ8のマイナス側入力端子に inputs されて、同電圧制御用アンプ8の発振が防止される。

【0013】前記第一及び第二のPWM比較器12、13のプラス側入力端子には、発振器15から一定周波数の三角波が inputs される。また、第一及び第二のPWM比較器12、13は、電源Vccの投入に基づいて、バイアス回路16から供給されるバイアス電流により活性化される。

【0014】前記第一のPWM比較器12は、マイナス側入力端子電圧とプラス側入力端子電圧とを比較し、プラス側入力端子電圧がマイナス側入力端子電圧より高くなれば、Hレベルの出力信号OUT1を出力する。また、プラス側入力端子電圧がマイナス側入力端子電圧より低くなれば、Lレベルの出力信号OUT1を出力する。

【0015】従って、出力信号OUT1は発振器15の出力信号と同一周波数のパルス信号となり、電圧制御用アンプ8の出力電圧レベルが上昇するほど、Hレベルの時間幅が狭くなる。

【0016】前記第二のPWM比較器13は、マイナス側入力端子電圧とプラス側入力端子電圧とを比較し、プラス側入力端子電圧がマイナス側入力端子電圧より高くなれば、Hレベルの出力信号OUT2を出力する。また、プラス側入力端子電圧がマイナス側入力端子電圧より低くなれば、Lレベルの出力信号OUT2を出力する。

【0017】従って、出力信号OUT2は発振器15の出力信号と同一周波数のパルス信号となり、電圧制御用アンプ8の出力電圧レベルが上昇するほど、Hレベルの時間幅が狭くなる。また、第二のPWM比較器13のマイナス側入力端子電圧は、昇圧用電源14により常に第一のPWM比較器12のマイナス側入力端子電圧より高い電圧となるので、出力信号OUT2は、出力信号OUT1が立ち上がった後に立ち上がり、出力信号OUT1の立ち下がりに先立って立ち下がる。

【0018】上記のように構成された同期整流型スイッチングレギュレータ回路では、出力制御信号AがLレベ



ルに維持されて、出力制御用トランジスタ11がオフされている状態で、電源Vccが供給されていると、電圧制御用アンプ8は入力信号INと、基準電圧Vsとの電位差に基づく出力信号を出力し、その出力信号に基づいて第一及び第二のPWM比較器12、13から出力信号OUT1、OUT2としてパルス信号が出力される。

【0019】すると、第一のPWM比較器12の出力信号OUT1に基づいて出力トランジスタ3がスイッチング動作する。出力トランジスタ3のスイッチング動作により同出力トランジスタ3の出力電流は、出力コイル5及び容量7により平滑される。出力トランジスタ3がオフされるときは、容量7からフライホイールダイオード6を介して出力コイル5に供給される電流により、出力電圧Voが平滑される。

【0020】また、出力トランジスタ3がオフされるとき、第二のPWM比較器13の出力信号OUT2により同期整流用トランジスタ4がオンされて、フライホイールダイオード6の順方向電圧降下がほとんど「0」となり、平滑効率を向上させるようになっている。

【0021】このとき、同期整流用トランジスタ4は出力トランジスタ3がオフされた後にオンされ、出力トランジスタ3がオンされる前にオフされるので、電源Vccから出力トランジスタ3及び同期整流用トランジスタ4を介してグラウンドGNDに貫通電流が流れることはない。

【0022】このような動作により、出力電圧Voに基づく電圧制御用アンプ8の入力信号INが基準電圧Vsより低いと、電圧制御用アンプ8の出力電圧が上昇し、第一及び第二のPWM比較器12、13の出力信号OUT1、OUT2のLレベルの時間幅が増大する。

【0023】すると、出力トランジスタ3のオン時間が長くなり、出力電圧Voが上昇する。また、出力電圧Voに基づく電圧制御用アンプ8の入力信号INが基準電圧Vsより高いと、電圧制御用アンプ8の出力電圧が低下し、第一及び第二のPWM比較器12、13の出力信号OUT1、OUT2のHレベルの時間幅が増大する。すると、出力トランジスタ3のオン時間が短くなり、出力電圧Voが低下する。

【0024】このような動作により、出力電圧Voは電圧制御用アンプ8の入力信号INと基準電圧Vsとが一致するような出力電圧Voに収束し、定電圧となる。電源Vccの投入時には、電流源9と容量10との作用により、図7に示すように電圧制御用アンプ8の入力信号CSの電圧レベルが徐々に上昇する。すると、入力信号INがグラウンドGNDレベルであっても、電圧制御用アンプ8の出力信号が急に上昇することなく、出力トランジスタ3のオン時間がオフ時間より格段に長くなることない。

【0025】すると、同図に示すように、電源電圧Vcc及び出力端子Toに接続される負荷に関わらず、入力信

号CSの上昇にともなって出力信号Voが緩やかに上昇する。そして、入力信号CSが基準電圧Vsを越えると、出力信号Voは定電圧となる。

【0026】従って、電源Vccの投入時における出力電圧Voの急激な立ち上がりによる負荷回路への悪影響が防止される。出力電圧Voが定電圧に維持されている状態で、出力制御信号AをHレベルとすると、トランジスタ11がオンされて、容量10の充電電荷が出力制御用トランジスタ11を介してグラウンドGNDに流れ、電圧制御用アンプ8の入力信号CSは、図7に示すように、グラウンドGNDレベルまで急激に低下する。

【0027】すると、電圧制御用アンプ8の出力信号は、発振器15の出力信号の最低レベル以下まで急激に低下し、PWM比較器12、13の出力信号OUT1、OUT2はHレベルに維持される。

【0028】この結果、出力トランジスタ3がオフされるとともに、同期整流用トランジスタ4がオンされて、出力電圧VoがグラウンドGNDレベルまで引き下げられる。従って、Hレベルの出力制御信号Aを入力することにより、出力電圧Voを強制的にグラウンドGNDレベルまで引き下げることができる。

【0029】また、ソフトスタート回路に出力制御用トランジスタ11を付加することにより、制御回路2の入出力端子数を増加させることなく、出力電圧Voを強制的にグラウンドGNDレベルまで引き下げ可能とする出力制御回路が構成される。

【0030】

【発明が解決しようとする課題】上記のような同期整流型スイッチングレギュレータでは、出力制御信号AをHレベルとして出力電圧VoをグラウンドGNDレベルまで引き下げるとき、同期整流用トランジスタ4がオン状態に維持される。すると、図6に点線で示すように、容量7から同期整流用トランジスタ4を介してグラウンドGNDに放電電流Idが流れる。

【0031】この結果、図7に示すように、出力電圧Voが急激に低下してアンダーシュートPuが発生するため、出力端子Toに接続される負荷回路の破損あるいは誤動作の原因となるという問題点がある。

【0032】この発明の目的は、同期整流型スイッチングレギュレータで構成したDC/DCコンバータにおいて、外部から入力される出力制御信号に基づいて出力制御を可能としながら、出力電圧のアンダーシュートの発生を未然に防止し得るDC/DCコンバータを提供することにある。

【0033】

【課題を解決するための手段】図1は請求項1の原理説明図である。すなわち、出力トランジスタ3は、制御回路21から出力される第一の出力信号OUT1に基づいてスイッチング動作する。平滑回路20は、前記出力トランジスタ3の出力電流を平滑して、直流電圧を出力す

る。同期整流用トランジスタ4は、前記平滑回路20を構成するフライホイールダイオード6に並列に接続され、前記制御回路21から出力される第二の出力信号OUT2に基づいて、前記出力トランジスタ3のオフ動作時にオンされて、フライホイールダイオード6の平滑効率を向上させる。前記制御回路21は、前記平滑回路20から出力される直流出力電圧 $V_o$ を一定に維持するように、前記出力トランジスタ3のオン時間を制御する。前記制御回路21には、出力制御信号Aに基づいて、前記出力トランジスタ3をオフさせる出力制御回路11が接続される。前記制御回路21は、前記出力制御信号Aの入力に基づいて出力トランジスタ3をオフさせるときは、前記同期整流用トランジスタ4をオフさせる第二の出力信号OUT2を出力する。

【0034】請求項2では、出力トランジスタは、制御回路から出力される第一の出力信号に基づいてスイッチング動作する。平滑回路は、前記出力トランジスタと出力端子との間に介在される出力コイルと、前記出力端子と低電位側電源との間に接続される容量と、前記出力トランジスタと低電位側電源との間に接続されるフライホイールダイオードとから構成されて、前記出力トランジスタの出力電流を平滑して、直流出力電圧を出力する。同期整流用トランジスタは、前記フライホイールダイオードに並列に接続され、前記制御回路から出力される第二の出力信号に基づいて、前記出力トランジスタのオフ動作時にオンされて、平滑効率を向上させる。前記制御回路は、前記平滑回路から出力される直流出力電圧を一定に維持するように、前記出力トランジスタのオン時間を制御する。前記制御回路には、出力制御信号に基づいて、前記出力トランジスタをオフさせる出力制御回路が備えられる。前記制御回路には、あらかじめ設定された基準電圧とソフトスタート回路の出力電圧のうち、いずれかの低レベルの電圧と、前記直流出力電圧との電位差に基づく信号を出力する電圧制御用アンプと、前記電圧制御用アンプの出力信号と発振器の出力信号とを比較して、前記第一の出力信号を生成して出力する第一のPWM比較器と、前記電圧制御用アンプの出力信号と発振器の出力信号とを比較して、前記第二の出力信号を生成して出力する第二のPWM比較器とが備えられる。前記ソフトスタート回路は、高電位側電源と低電位側電源との間で直列に接続される電流源と容量とで構成し、電源の投入に基づいて電流源から出力される定電流で充電される容量の充電電圧を前記電圧制御用アンプに出力する。前記出力制御回路は、前記出力制御信号に基づいてオンされて前記容量の充電電荷を放電させるスイッチング素子で構成される。前記第二のPWM比較器には、前記スイッチング素子のオン動作に基づいて、前記第二の出力信号で前記同期整流用トランジスタをオフさせる出力ノイズ防止回路が接続される。

【0035】請求項3では、前記出力ノイズ防止回路

は、前記ソフトスタート回路の容量の充電電圧を前記第二のPWM比較器に入力して、該容量の充電電荷が放電されたとき、前記発振器の出力信号に関わらず、該容量の充電電圧と前記電圧制御用アンプの出力信号との比較に基づいて、前記同期整流用トランジスタをオフさせる第二の出力信号を出力する。

【0036】請求項4では、前記出力ノイズ防止回路は、前記第二のPWM比較器の出力信号をスイッチ回路を介して前記同期整流用トランジスタに第二の出力信号として出力し、前記スイッチ回路は前記ソフトスタート回路の容量が放電されたとき非導通となって、同期整流用トランジスタをオフさせる構成とした。

【0037】請求項5では、前記出力ノイズ防止回路は、前記第二のPWM比較器にバイアス電流を供給するバイアス回路と該第二のPWM比較器との間にスイッチ回路を介在させ、該スイッチ回路は前記ソフトスタート回路の容量が放電されたとき非導通となって、第二のPWM比較器を不活性化することにより前記同期整流用トランジスタをオフさせる構成とした。

【0038】(作用)請求項1では、出力制御回路11により出力トランジスタ3がオフされるとき、同期整流用トランジスタ4は制御回路21によりオフされるので、平滑回路20から出力される出力電圧 $V_o$ でのノイズの発生が防止される。

【0039】請求項2では、出力制御信号により出力制御回路のスイッチング素子がオンされて、ソフトスタート回路の容量の充電電荷が放電されると、ソフトスタート回路の出力電圧と平滑回路の直流出力電圧との電位差に基づく信号が電圧制御用アンプから出力され、スイッチング素子のオン動作により第二のPWM比較器から出力される第二の出力信号に基づいて、同期整流用トランジスタがオフされる。

【0040】請求項3では、スイッチング素子がオンされて、ソフトスタート回路の容量が放電されると、第二のPWM比較器では容量の充電電圧と電圧制御用アンプの出力信号との比較に基づいて、同期整流用トランジスタをオフさせる第二の出力信号を出力する。

【0041】請求項4では、スイッチング素子がオンされて、ソフトスタート回路の容量が放電されると、スイッチ回路が非導通となり、第二のPWM比較器の第二の出力信号が同期整流用トランジスタに出力されないため、同期整流用トランジスタがオフされる。

【0042】請求項5では、スイッチング素子がオンされて、ソフトスタート回路の容量が放電されると、スイッチ回路が非導通となり、第二のPWM比較器にバイアス電流が供給されなくなり、第二のPWM比較器が不活性化されて、第二のPWM比較器の第二の出力信号が同期整流用トランジスタに出力されないため、同期整流用トランジスタがオフされる。

【0043】

**【発明の実施の形態】**

(第一の実施の形態) 図2は、この発明を具体化した同期整流型スイッチングレギュレータの第一の実施の形態を示す。前記従来例と同一構成部分は、同一符号を付してその説明を省略する。

【0044】この実施の形態の制御回路21aは、第二のPWM比較器13aに第一及び第二のプラス側入力端子を設け、第一のプラス側入力端子には、前記従来例と同様に発振器15の出力信号が入力され、第二のプラス側入力端子には、前記入力信号CSが入力される。そして、第二のPWM比較器13aは第一及び第二のプラス側入力端子のいずれかの低レベルの入力端子電圧と、マイナス側入力端子電圧とを比較した出力信号を出力する。

【0045】このように構成された同期整流型スイッチングレギュレータでは、電源Vccが継続して供給されている状態では、入力信号CSはほぼ電源Vccレベルとなるため、電圧制御用アンプ8及び第二のPWM比較器13aは前記従来例と同様に動作する。

【0046】従って、出力トランジスタ3のスイッチング動作に基づいて出力電圧Voは定電圧となり、出力トランジスタ3がオフされているとき、同期整流用トランジスタ4がオンされて、整流効果が引き上げられる。

【0047】電源Vccの投入時には、図3に示すように、入力信号CSは前記従来例と同様にグランドGNDレベルから徐々に上昇し、電圧制御用アンプ8及び第一のPWM比較器12は、前記従来例と同様に動作する。第二のPWM比較器13aは、入力信号CSが第二のプラス側入力端子に入力されているため、入力信号CSが低レベルの状態では、出力信号OUT2はLレベルに維持され、同期整流用トランジスタ4はオフされている。

【0048】定電圧の出力電圧Voが出力されている状態で、Hレベルの出力制御信号Aが入力されると、入力信号CSはグランドGNDレベルまで急激に低下する。すると、電圧制御用アンプ8及び第一のPWM比較器12は、従来例と同様に動作して、出力トランジスタ3はオフされる。

【0049】第二のPWM比較器13aでは、入力信号CSがグランドGNDまで急激に低下して発振器15の出力レベル以下となるので、出力信号OUT2はLレベルに維持され、同期整流用トランジスタ4はオフされる。

【0050】従って、容量7の充電電荷は、抵抗R1、R2及び負荷回路との時定数に基づいて徐々に放電されるため、出力電圧Voは緩やかに低下する。この結果、出力電圧Voでのアンダーシュートの発生を未然に防止することができる。

(第二の実施の形態) 図4は、この発明を具体化した第二の実施の形態を示す。前記従来例と同一構成部分は、同一符号を付してその説明を省略する。

【0051】この実施の形態は、第二のPWM比較器13の出力信号をスイッチ回路18を介して出力信号OUT2として出力し、スイッチ回路18の出力端子は抵抗R3を介してグランドGNDに接続し、スイッチ回路18は前記入力信号CSに基づいて開閉制御する構成としたものである。

【0052】前記スイッチ回路18は、入力信号CSが電源VccレベルとグランドGNDレベルとの間で設定されたしきい値以上となったとき導通し、そのしきい値以下となったとき非導通となるように構成される。このようなスイッチ回路18は、例えばスイッチ素子として使用したNチャネルMOSトランジスタ、あるいは転送ゲートで構成可能である。

【0053】このような同期整流型スイッチングレギュレータ回路では、ソフトスタート時及び電源Vccが継続して供給されている時には、スイッチ回路18は導通状態となって、前記第一の実施の形態と同様に動作する。

【0054】定電圧の出力電圧Voが出力されている状態から、Hレベルの出力制御信号Aが入力されて、出力制御用トランジスタ11がオンされ、入力信号CSがグランドGNDレベルまで低下すると、電圧制御用アンプ8及び第一のPWM比較器12の動作に基づいて出力トランジスタ3がオフされる。

【0055】このとき、入力信号CSの低下に基づいて、スイッチ回路18が非導通となり、出力信号OUT2はグランドGNDレベルとなる。すると、同期整流用トランジスタ4はオフされる。

【0056】従って、容量7の充電電荷は、抵抗R1、R2及び負荷回路との時定数に基づいて徐々に放電されて、出力電圧Voは緩やかに低下するため、出力電圧Voでのアンダーシュートの発生を未然に防止することができる。

【0057】また、第二のPWM比較器13は2入力であるので、前記第一の実施の形態の第二のPWM比較器13aに比して素子数を削減して制御回路21bの回路面積を縮小することができる。

(第三の実施の形態) 図5は、この発明を具体化した第三の実施の形態を示す。前記従来例と同一構成部分は、同一符号を付してその説明を省略する。

【0058】この実施の形態は、第二のPWM比較器13の出力端子を抵抗R4を介してグランドGNDに接続し、第一及び第二のPWM比較器12、13には、バイアス回路16からスイッチ回路19を介してバイアス電流を供給し、スイッチ回路19は前記入力信号CSに基づいて開閉制御する構成としたものである。

【0059】前記スイッチ回路19は、入力信号CSが電源VccレベルとグランドGNDレベルとの間で設定されたしきい値以上となったとき導通し、そのしきい値以下となったとき非導通となるように構成される。このようなスイッチ回路19は、例えばスイッチ素子として使



用したNチャネルMOSトランジスタ、あるいは転送ゲートで構成可能である。

【0060】このような同期整流型スイッチングレギュレータ回路では、ソフトスタート時には入力信号CSがスイッチ回路19のしきい値を越えるまでは、第一及び第二のPWM比較器12、13にバイアス電流が供給されないで、出力トランジスタ3はオンされず、出力電圧 $V_o$ は上昇しない。

【0061】そして、入力信号CSがスイッチ回路19のしきい値を越えると、PWM比較器12、13にバイアス電流が供給され、PWM比較器12、13の出力信号OUT1に基づいて出力トランジスタ3がスイッチング動作を開始して、出力電圧 $V_o$ が上昇する。

【0062】電源 $V_{cc}$ が継続して供給されている時には、スイッチ回路18は導通状態となって、前記第一の実施の形態と同様に、定電圧の出力電圧 $V_o$ が出力される。定電圧の出力電圧 $V_o$ が出力されている状態から、Hレベルの出力制御信号Aが入力されて、出力制御用トランジスタ11がオンされ、入力信号CSがグランドGNDレベルまで低下すると、スイッチ回路19が非導通状態となり、PWM比較器12、13は不活性状態となる。

【0063】すると、PWM比較器12の出力信号OUT1は不定状態となって出力トランジスタ3はオフされる。また、PWM比較器13の出力信号は不定となるが、抵抗 $R_4$ により同期整流用トランジスタ4のゲート電位はほぼグランドGNDレベルとなり、同期整流用トランジスタ4はオフされる。

【0064】従って、容量7の充電電荷は、抵抗 $R_1$ 、 $R_2$ 及び負荷回路との時定数に基づいて徐々に放電されて、出力電圧 $V_o$ は緩やかに低下するため、出力電圧 $V_o$ でのアンダーシュートの発生を未然に防止することが

できる。

【0065】また、第二のPWM比較器13は2入力であるので、前記第一の実施の形態の第二のPWM比較器13aに比して素子数を削減して制御回路21cの回路面積を縮小することができる。

【0066】

【発明の効果】以上詳述したように、この発明は同期整流型スイッチングレギュレータで構成したDC/DCコンバータにおいて、外部から入力される出力制御信号に基づいて、出力制御を可能としながら、出力電圧のアンダーシュートの発生を未然に防止し得るDC/DCコンバータを提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第一の実施の形態を示す回路図である。

【図3】 第一の実施の形態の動作を示す波形図である。

【図4】 第二の実施の形態を示す回路図である。

【図5】 第三の実施の形態を示す回路図である。

【図6】 従来例を示す回路図である。

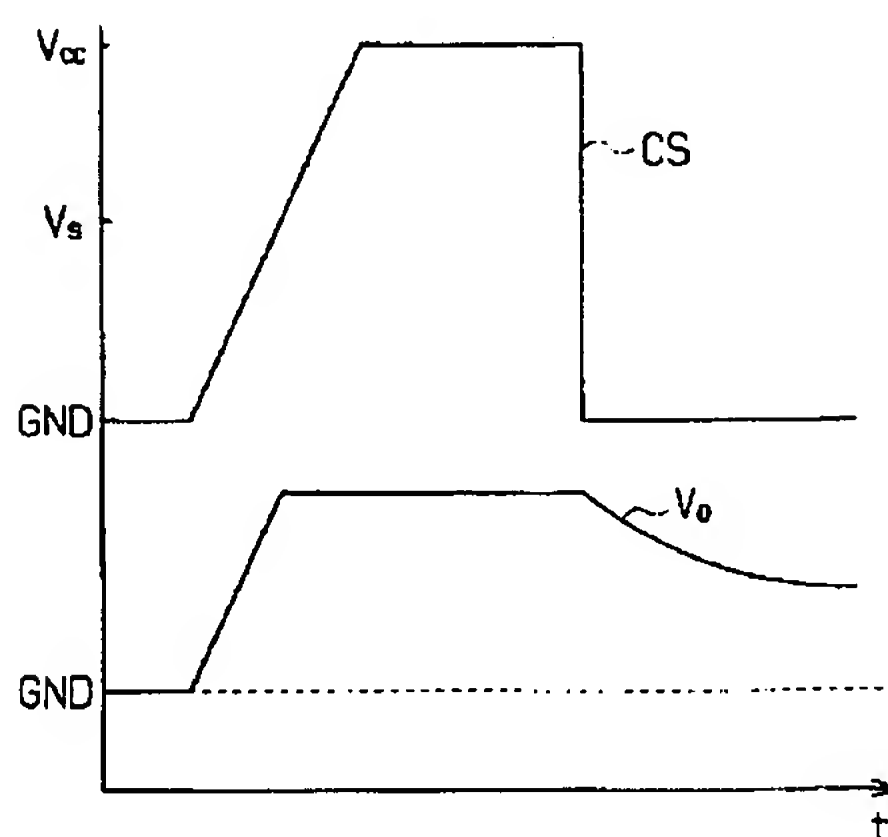
【図7】 従来例の動作を示す波形図である。

【符号の説明】

- 3 出力トランジスタ
- 4 同期整流用トランジスタ
- 6 フライホイールダイオード
- 11 出力制御回路
- 20 平滑回路
- 21 制御回路
- OUT1 第一の出力信号
- OUT2 第二の出力信号
- $V_o$  直流出力電圧

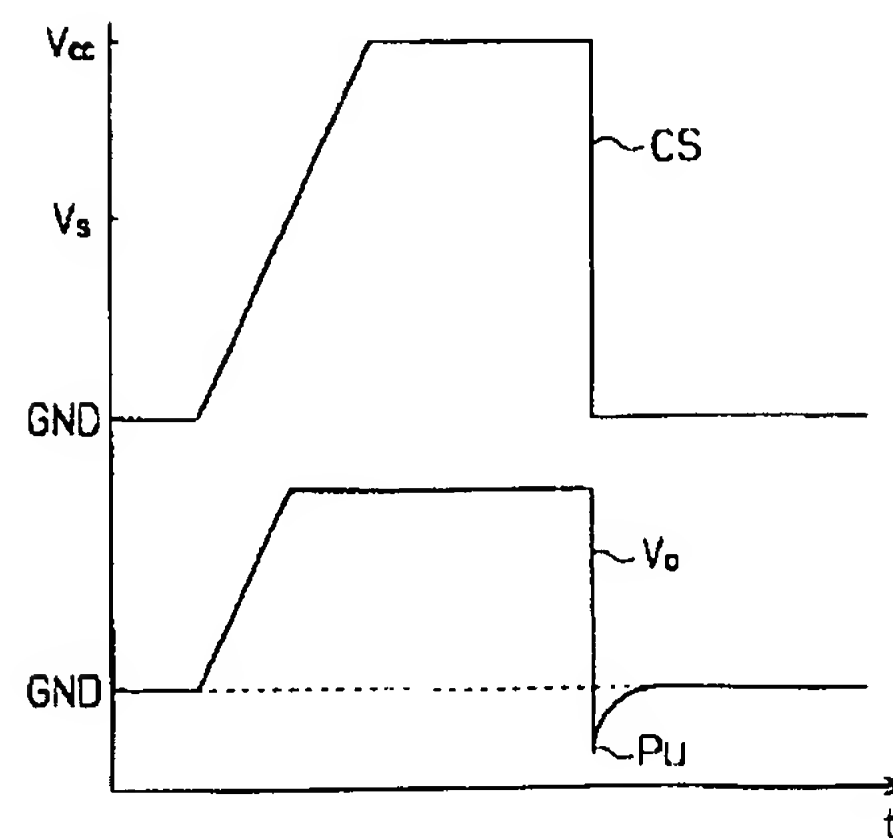
【図3】

第一の実施の形態の動作を示す波形図



【図7】

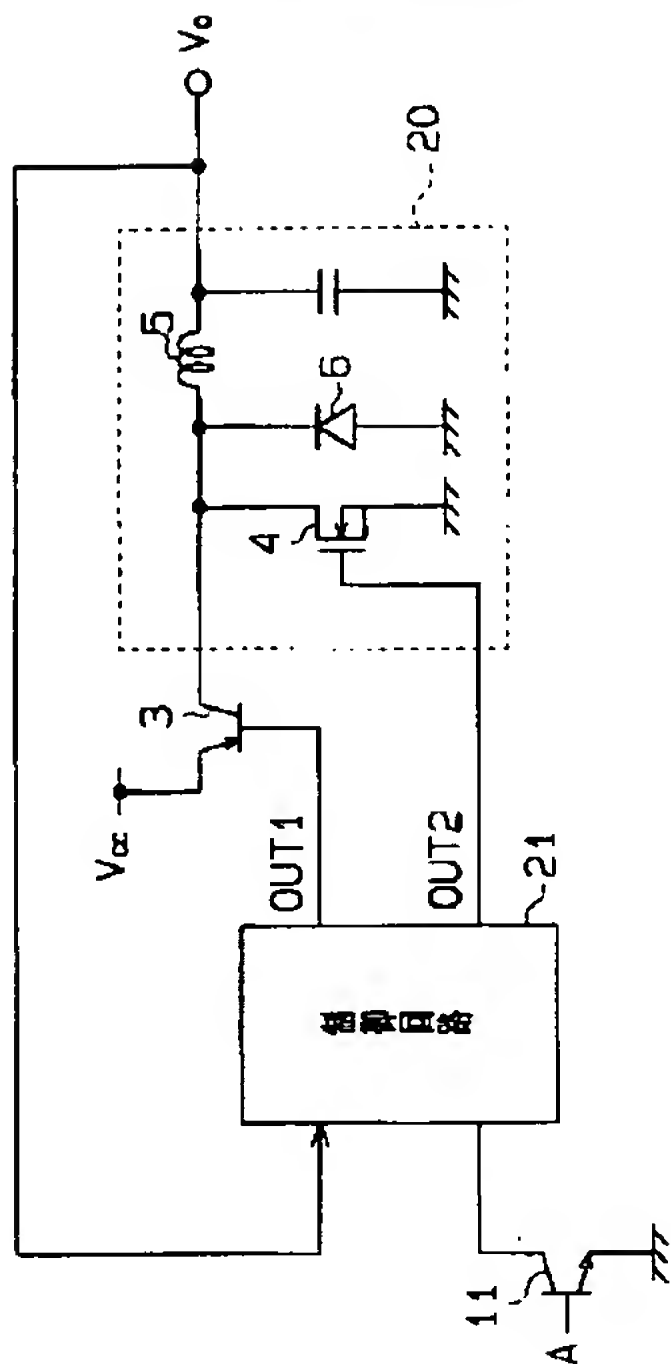
従来例の動作を示す波形図





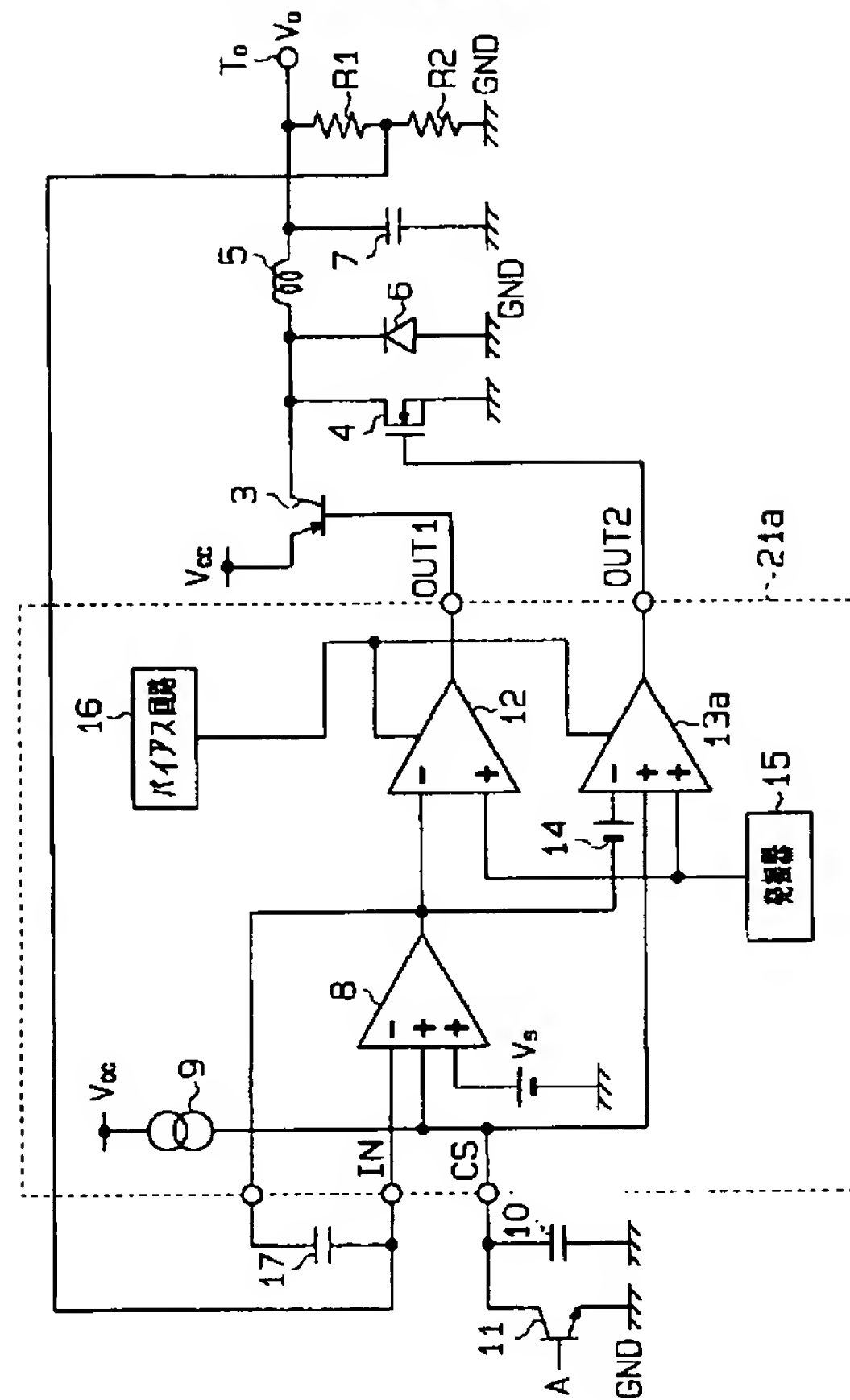
【図1】

本発明の原理説明図



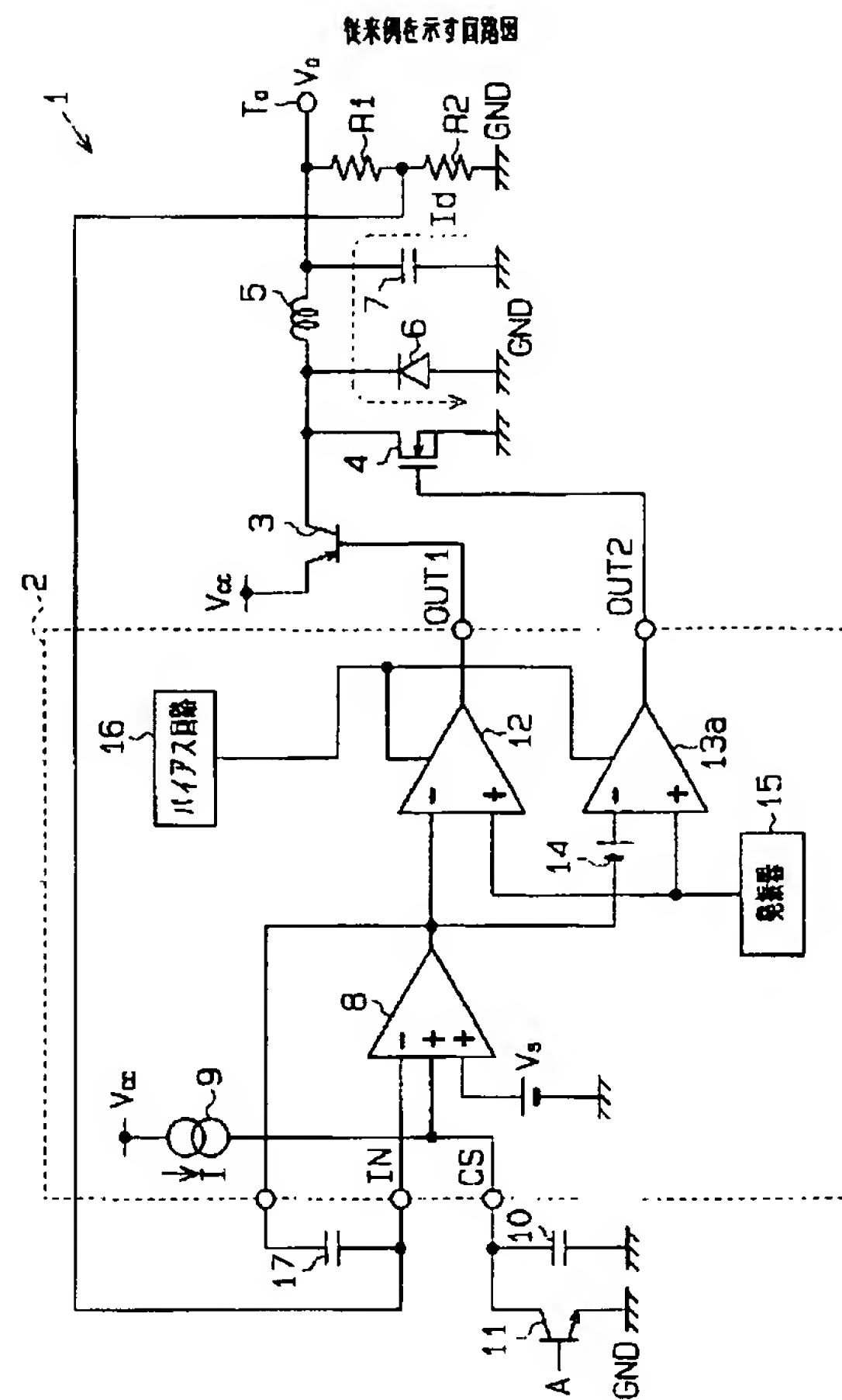
【図2】

第一の実施の形態を示す回路図





【図6】



フロントページの続き

(72)発明者 松本 敬史  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内

(72)発明者 松山 俊幸  
愛知県春日井市高蔵寺町二丁目1844番2  
富士通ヴィエルエスアイ株式会社内